

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-189791

(43)Date of publication of application : 25.07.1990

(51)Int.Cl.

G11C 11/405

(21)Application number : 01-009341

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 17.01.1989

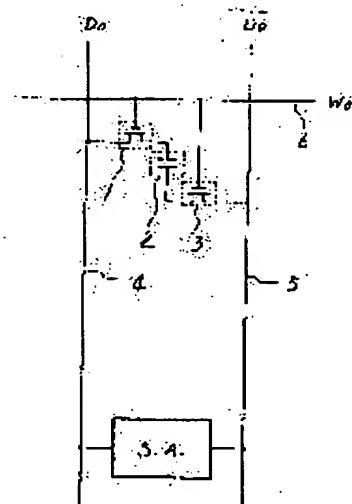
(72)Inventor : ZAITSU KATSUNORI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To reduce the malfunction of a sense amplifier at data readout and to decrease the sense time by providing a 2nd transfer gate using a same word line for a 1st transfer gate as a gate input to an opposite pole of a capacitor and having other digit line and a contact in pairs.

CONSTITUTION: A 1st transfer gate 1 uses a word line 6 as a gate input, and connects one end to a capacitor 2 and other end to a digit line 4. A 2nd transfer gate 3 uses a word line 6 as a gate input, connects one terminal to an electrode of a capacitor 2 with respect to the 1st transfer gate 1 and connects the other terminal for a digital line 5. Thus, at data write, independently of the input data, a potential difference between two digit lines 4, 5 is applied nearly directly across the capacitor 2, and at data readout, charges of both polarities are discharged to the digit lines 4, 5 through the 1st and 2nd transfer gates 1, 3 from both the poles of the capacitor 2. Thus, the sense time at data readout is reduced to prevent malfunction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-189791

⑬ Int. Cl.⁵
G 11 C 11/405

識別記号 庁内整理番号

⑭ 公開 平成2年(1990)7月25日

8522-5B G 11 C 11/34 3 5 2 B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 平1-9341

⑰ 出 願 平1(1989)1月17日

⑱ 発 明 者 財 津 克 宜 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
半導体メモリ

2. 特許請求の範囲

複数のワード線と、複数のデジット線対と、あるワード線をゲート入力とし一端をコンデンサ、他のもう一端をデジット線対のどちらか一方と接点を持つ第1のトランスファゲートとを配置する半導体メモリにおいて、前記のコンデンサの第一のトランスファゲートに対する対極側に、同じワード線をゲート入力とし、第一のトランスファゲートが接点を持つデジット線と対をなすもう一方のデジット線と接点を持つ第二のトランスファゲートを配置する事を特徴とする半導体メモリ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体メモリに関し、特に、ダイナ

ミックメモリ等に代表されるメモリセルを有する半導体メモリに関する。

〔従来の技術〕

従来、この種の半導体メモリのメモリセルは、第2図に示すように前記のコンデンサの前記の第一のトランスファゲートの対極側（以降は「コンデンサの対極側」とする）の電圧を全メモリセル共通の一定電圧に固定していた。

〔発明が解決しようとする課題〕

上述した従来の半導体メモリのメモリセルはコンデンサの対極側の電圧が固定されている。したがって、例えば電圧が $1/2V_{cc}$ であり、また対をなすデジット線間の電位差が V_{cc} の場合、前記の第一のトランスファゲートを開いた状態で、コンデンサの両極に生じる電位差がせいぜい $1/2V_{cc}$ 程度としかならないため、コンデンサに対して正または負の電荷を十分に蓄電する事が出来ず、メモリデータの読み出し時のセンス時間の増大や誤動作を引き起しやすいという欠点がある。

〔課題を解決するための手段〕

本発明の半導体メモリのメモリセルは、コンデンサの対極側に前記の第一のトランスファゲートと同一のワード線をゲート入力とし、前記の第一のトランスファゲートが接点を持つデジット線と対をなすもう一方のデジット線と接点を持つ第二のトランスファゲートを有している。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の回路図である。1は第一のトランスファゲート、2はコンデンサ、3は第二のトランスファゲート、4、5は対をなすデジット線6はワード線である。1の第一のトランスファゲートは6のワード線をゲート入力とし、一端を2のコンデンサもう一端を4のデジット線に接続する。2の第二のトランスファゲートは6のワード線をゲート入力とし、一端を2のコンデンサの第一のトランスファゲートに対する対極側、もう一端を5のデジット線に接続する。

〔発明の効果〕

以上、説明したように本発明は、コンデンサの

対極側の第二のトランスファゲートにより、データのき込み時には、入力データの値に関係なく、対をなす2本のデジット線間の電位差がほぼ直接にコンデンサの両極に印加される。よって例えばコンデンサの対極側の電圧を $1/2 V_{cc}$ に固定した従来例と比べて、デジット線間の電位差が V_{cc} ある場合で同容量のコンデンサに約2倍の正あるいは負の電荷を蓄電できる。

またデータの読み出し時には、コンデンサの両極から第一、第二のトランスファゲートを通して、それぞれの接点を持つ対をなすデジット線に、相反する電荷を放出する。

以上の説明により、データの読み出し時におけるセンスアンプの誤動作の削減およびセンス時間の短縮およびホールド時間を増大する事が出来る効果がある。

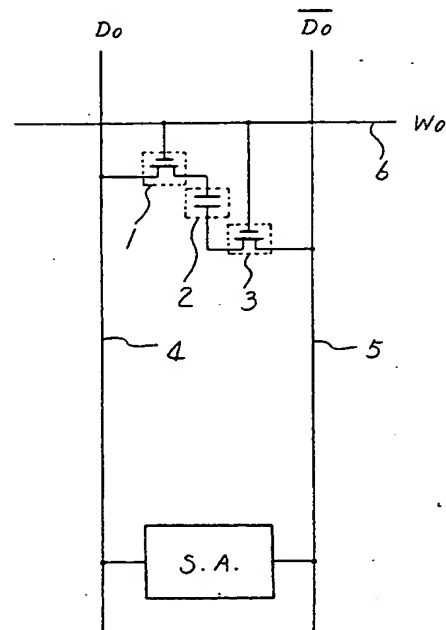
4. 図面の簡単な説明

第1図は本発明の回路図である。

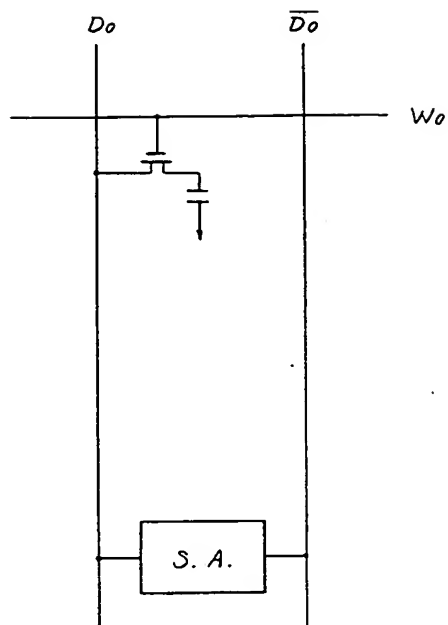
第2図は従来回路図である。

$D_0, \overline{D_0}$ ……デジット線。

代理人 弁理士 内 原 晋



第1図



第2図

THIS PAGE BLANK (USPTO)